



苏州工业园区 2018 年度政府补贴紧缺指导性项目-

智能芯片高阶静态时序分析技术

1. 课程时长： 5 天（9:00-17:00）

预计上课日期： 8 月 10 日、11 日、12 日、18 日、19 日共计 5 天。

上课地点：苏州工业园区金鸡湖大道 1355 号国际科技园二期 E401

课程费用：

- 4900 元/人（含听课、讲义，午餐等费用），满 30 人开班，[缴纳苏州工业园区公积金的学员（园区公积金会员）享受政府补贴免费参加。](#)

- 本课程有课后测验，合格者将由苏州市集成电路行业协会颁发结业证书

2. 授课对象：

数字集成电路设计工程师，其他相关 IC 设计工程师。

3. 课程大纲：

一、智能芯片高阶静态时序分析技术

1. Introduction of Static Timing analysis
2. Constraint
3. Generating timing report
4. Analysis mode
5. Delay calculation
6. Back Annotation
7. timing path(path group) and Exceptions
8. Variation
9. useful skew
10. Hierarchical models
11. Prime-time Signal integrity
12. ECO flow

二、考核



师资简介:

授课师一：陈老师

Education:

- 东南大学微电子专业硕士

Experience:

- 某外企：主要工作内容是对 GPU 进行模块划分，分成 76 个模块，分别进行独立综合，DFT 设计，Formal check，时序收敛等。提交高质量的网标给到后端部门。并对最后的网标进行时序 signoff。
- 某民企：基于 AMBA 总线进行 IP 设计，SOC 系统搭建等。并对设计进行 power domain 划分，设计 PMU 等模块，进行 power 的控制，power 的评估等。在设计中兼容考虑 DFT，CDC，时序收敛等问题。提交可靠的 UPF/CPF 文件给到综合部门，进行 power domain 的实现。

授课师资二：段老师

Education:

- 西安电子科技大学

Experience:

- 现任职于知名外企，从事最新工艺结点的数字设计后端工作，参与并主持数十个项目的流片经验，包括图形处理器、中央处理器等高频率低功耗的芯片。
- 有着丰富的物理设计和时序分析的理论经验和实战经验，对低功耗设计、DFM 设计、静态时序分析有实战经验。
- 熟练使用 IC 后端 EDA 设计软件，对于 ICC、Prime-time 等具有实际设计经验。