



苏州工业园区 2018 年度政府补贴紧缺指导性项目-

集成电路封装可靠度与 FinFET 工艺技术

1. 课程时长： 5 天（9:00-17:00）

预计上课日期：8 月 31 日、9 月 1 日、8 日、9 日、10 日共计 5 天。

上课地点：苏州工业园区金鸡湖大道 1355 号国际科技园二期 E401

课程费用：

- 4900 元/人（含听课、讲义，午餐等费用），满 30 人开班，[缴纳苏州工业园区公积金的学员（园区公积金会员）享受政府补贴后免费参加。](#)

- 本课程有课后测验，合格者将由苏州市集成电路行业协会颁发结业证书

2. 授课对象：

集成电路及纳米技术行业中高级设计、封装设计及管理、测试及失效分析人员；智能制造及新材料行业高级电子产品设计级应用等人员。

3. 课程大纲：

一、FinFET 工艺与器件

1、讲述二维器件在微缩上遇到的诸多瓶颈，以致需要往三维器件架构发展。并从 FDSOI 出发进一步说明鳍式晶体管(FinFET)的优势必要性。

2、探讨鳍式器件的操作原理。

3、讲述关键制程工艺。

二、集成电路封装技术-基础、分析及应用

1、Mainstream package types and chip package integrated solutions

主流封装类型与芯片封装集成技术

2、Packaging selection factors and Cost Down considerations

封装选择的考虑因素与降低封装成本策略

3、Low-cost high performance Package design method

低成本高速高性能封装的设计规则

4、Package Electrical characterization

封装电性能分析 SI/PI/EMC/EMI

5、Package Thermal characterization

封装热性能分析 Theta-JA/JB/JC

6、Chip-Package-System Co-design



芯片-封装-系统协同设计

7、Mass production 、 Reliability 、 Failure Analysis

量产封装的可靠性设计与失效分析

三、IC 封装可靠度与封装材料及制程之关系

1. JEDEC Standard 剖析

2. 封装材料及制程对封装性能、良率及可靠度的影响

3. 出货包装规范 JSTD033

四、考核

师资简介:

授课师资一：简老师（台湾）

Education:

- 中国台湾交通大学电子工程博士

Experience:

台积电先进制程首席培训讲师

中国台湾交大电子工程系教授

中国台湾国家纳米器件实验室研究员

中国台湾国家纳米器件实验室薄膜掺杂组组长

Specializations:

先进纳米器件闸极工程研究

硅锗与 III-V 化合物高迁移率器件

非挥发性快闪记忆体

薄膜掺杂制程技术

Teaching Course:

- High-k/metal gate Technology for 45nm & beyond Device

- Reliability of Gate Dielectric

- 3D Transistors for 22nm and beyond technology node-- FinFET and Trigate-FET

授课师资二：郭老师

Education:

-上海大学 硕士

Experience:

- 郭老师在 2012 年 7 月加入展讯通信有限公司，与来自美国的高级副总裁 John Rowland 一起，组建了芯片封装协同设计团队(Codesign Team)，目前担任该部门的负责人(40人团队 10% 博士



90%硕士), 带领团队负责数字基带与应用处理器以及模拟混合信号 IC 的 Flipchip 芯片协同设计、芯片级功耗与电源完整性分析、芯片-封装-板级系统的互连信号完整性(LPDDR4x、MIPI、USBx 、PCIe、LVDS、UFS)与电源完整性、芯片封装散热性能仿真分析与评估等方面的设计流程、方法学开发与技术管理工作; 在这期间, 亲自创建了国内最早且迄今唯一的倒装 Flip-chip 芯片协同设计方法学与流程, 并被采纳与应用于展讯所有芯片设计之中。并与团队建立了国内唯一的一套避免芯片 ELK 分层断裂的设计与 Signoff 验证分析方法, 并广泛应用于所有芯片设计、量产失效分析与可靠性验证环节。

郭老师在芯片设计与半导体行业, 拥有 16 年的工作经验, 是国内最早从事跨平台(芯片-封装-板级系统)协同设计与仿真分析的技术专家。在加入展讯之前, Steven 曾在国内最大的芯片 Design Service 公司 VeriSilicon 工作超过 8 年, 在这期间参与了组建板级系统设计、封装设计、芯片协同设计与噪声分析的技术团队并作为该方向的负责人, 建立了国内最早 4 颗 FPGA(1760pin)芯片验证平台快速设计方法; 并在 2008-2009 年期间, 参与了高速高功耗系列 ASIC 设计项目, 与 IBM 的团队、技术专家合作, 完成了多颗复杂高速高功耗网络处理器芯片(FCBGA 55x55mm 105W @12.5G SerDes 3lanex 72 DDR3 1600Mbps)的一次性成功 Tapeout 的设计。

郭老师在 2002 年获得上海大学通信学院硕士学位, 在芯片封装领域申请 3 篇专利, 并已在期刊与杂志发表 10 多篇文章,《Cadence 高速电路设计》一书的核心编著成员, 还是 Cadence CDNLive 的连续多年的技术演讲嘉宾或论文评委。

授课师三: Dr. Wayne Lin (台湾)

Education:

- 美国加州大学半导体材料工程博士

Experience:

- 上海日月光技术副总
- 尼克森微电子董事长特助
- 上海葵和精密电子资深副总
- 台湾立锜科技股份有限公司品质保证处协理
- 台湾沛亨电子品质保证处协理
- 台湾旺宏电子分析技术部经理

Specializations:

- IC Technology.
- Quality Management
- Operation Management



- Engineering Management

- Sales & Marketing Management

Teaching Course:

- IC 的品质与可靠性工程及有效的失效分析

- IC 封装规划对新产品开发验证的影响

- IC 设计公司如何做好“运营管理”

Teaching Style:

讲课风貌激情澎湃，课堂气氛活跃；乐于分享在公司和创业时候的心得感悟，深受学员欢迎。

Companies He Trained::

上海岭芯微电子有限公司、上海坤锐电子科技有限公司、格科微电子（上海）有限公司、上海华虹集成电路有限责任公司、大唐微电子技术有限公司、上海艾为电子技术有限公司、纉华电子科技上海有限公司、上海坤锐电子科技有限公司、联芯科技有限公司、上海南麟电子有限公司、上海晟矽微电子有限公司、塞普锐思半导体技术有限公司、深圳芯海科技有限公司、钰泰科技有限公司、中颖电子有限公司。